

# SMARTSTACK

## EMPLILER EN 3D LES PUCES ÉLECTRONIQUES

### > OBJECTIF DU PROJET

L'objectif du projet SmartStack est de développer les étapes technologiques permettant l'empilement de multiples couches de silicium (intégration 3D), chacune pouvant être le fruit de différentes technologies adaptées au type de composant qu'elles intègrent (CMOS, mémoires, composants passifs, ...).

Chaque strate empilée pouvant nécessiter différentes technologies, elles se révèlent susceptibles de provenir de différentes lignes de fabrication voir de différents fournisseurs de circuits.

Plus précisément, les études consisteront à développer :

- Des techniques de gravure de vias pour les TSV ('Through Silicon Vias') de densité moyenne,
- Des technologies d'interconnexion puce sur support et puce à puce,
- Des technologies d'amincissement et de manipulation des substrats de 40 à 70 µm,
- Des modèles de simulation d'intégration 3D validés par des essais de fiabilité.

### > PORTEUR DU PROJET



### > PARTENAIRES



### > FINANCEMENT

- Année de sélection : 2011
- Appel à projets : DGE PFI 2
- Financeurs :



- Durée du projet : 30 mois
- Budget : 5,5 M€

### > RETOMBÉES ATTENDUES

- Plus de 300 M€ de chiffre d'affaires
- Plus de 30 emplois



MICROÉLECTRONIQUE